

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053283

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 29/786
G02F 1/1365

(21)Application number : 11-228944

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO
LTD

(22)Date of filing : 12.08.1999

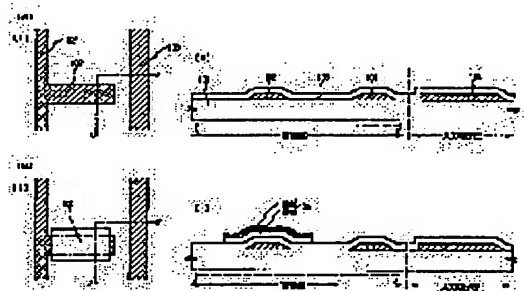
(72)Inventor : NAKAJIMA SETSUO
ARAI YASUYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To cut the number of processes for manufacturing a TFT(thin film transistor) by forming an input terminal of a first layer consisting of the same material as a gate electrode and a second layer consisting of the same material as a picture element electrode.

SOLUTION: In a terminal 104 of an input terminal part, a first layer is formed of a low resistance conductive material such as aluminum similar to a gate electrode 102 and a gate wiring 102', and a holding capacitance wiring 103. After each of the gate electrode 102, the gate wiring 102', the holding capacitance wiring 103 and a terminal 104 is formed, a gate insulating layer as a second layer is laminated by forming an insulation film consisting of the same material as a picture element all over. Thereby, it is possible to cut the number of processes for manufacturing a TFT, to reduce the manufacturing cost and to improve yield.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-53283
(P2001-53283A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 9 A 2 H 0 9 2
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0 5 F 1 1 0
		H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願平11-228944
(22) 出願日 平成11年8月12日 (1999.8.12)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 中嶋 節男
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 荒井 康行
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

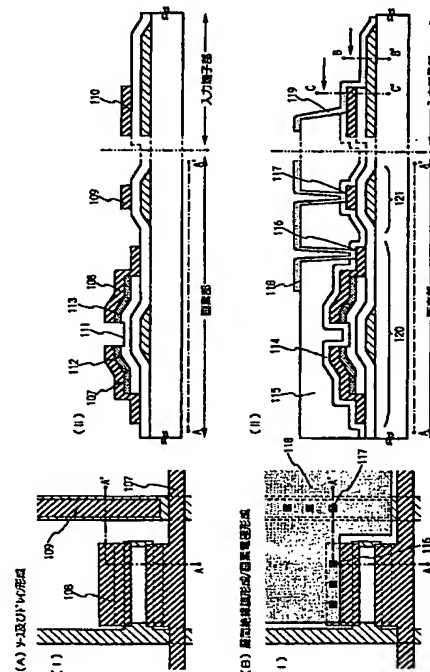
最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】

【課題】 アクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、T F Tを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【解決手段】 基板上に逆スタガ型のT F T上に無機材料から成る第1の層間絶縁層と、第1の層間絶縁膜上に形成された有機材料から成る第2の層間絶縁層と、前記第2の層間絶縁層に接して形成された画素電極とを設け、前記基板の端部に他の基板の配線と電気的に接続する入力端子部とを有し、該入力端子部は、ゲート電極と同じ材料から成る第1の層と、画素電極と同じ材料から成る第2の層とから形成されていることを特徴としている。このような構成とすることで、フォトリソグラフィ技術で使用するフォトマスクの数を5枚とすることができる。



【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に、非晶質構造を有する半導体層で形成されたチャネル形成領域と、一導電型の不純物元素を含有する半導体層で形成されたソース領域及びドレイン領域と、前記非晶質構造を有する半導体層と前記基板との間に形成されたゲート電極とを有する薄膜トランジスタを設けた半導体装置において、

前記非晶質構造を有する半導体層及び一導電型の不純物元素を含有する半導体層上に形成され、前記チャネル形成領域の少なくとも一部に接して形成された無機材料から成る第1の層間絶縁層と、前記第1の層間絶縁膜上に形成された有機材料から成る第2の層間絶縁層と、前記第2の層間絶縁層に接して形成された画素電極とを有することを特徴とする半導体装置。

【請求項2】絶縁表面を有する基板上に、非晶質構造を有する半導体層で形成されたチャネル形成領域と、一導電型の不純物元素を含有する半導体層で形成されたソース領域及びドレイン領域と、前記非晶質構造を有する半導体層と前記基板との間に形成されたゲート電極とを有する薄膜トランジスタを設けた半導体装置において、

前記非晶質構造を有する半導体層及び一導電型の不純物元素を含有する半導体層上に形成され、前記チャネル形成領域の少なくとも一部に接して形成された無機材料から成る第1の層間絶縁層と、前記第1の層間絶縁膜上に形成された有機材料から成る第2の層間絶縁層と、前記第2の層間絶縁層に接して形成された画素電極と、前記基板の端部に沿って形成され、他の基板の配線と電気的に接続する入力端子部とを有し、前記入力端子部は、前記ゲート電極と同じ材料から成る第1の層と、前記画素電極と同じ材料から成る第2の層とから形成されていることを特徴とする半導体装置。

【請求項3】絶縁表面を有する基板上に、非晶質構造を有する半導体層で形成されたチャネル形成領域と、一導電型の不純物元素を含有する半導体層で形成されたソース領域及びドレイン領域と、前記非晶質構造を有する半導体層と前記基板との間に形成されたゲート電極と該ゲート電極上に形成された絶縁層とを有する薄膜トランジスタを設けた半導体装置において、

前記非晶質構造を有する半導体層及び一導電型の不純物元素を含有する半導体層上に形成され、前記チャネル形成領域の少なくとも一部に接して形成された無機材料から成る層間絶縁層と、

前記絶縁層に接して形成された画素電極と、前記基板の端部に沿って形成され、他の基板上の配線と電気的に接続する入力端子部とを有し、

前記入力端子部は、前記ゲート電極と同じ材料から構成される第1の層と、前記画素電極と同じ材料から構成される第2の層とから形成されていることを特徴とする半

導体装置。

【請求項4】請求項1乃至請求項3のいずれか一項において、

前記ゲート電極は、耐熱性導電性材料、または耐熱性導電性材料と低抵抗導電性材料とから成ることを特徴とする半導体装置。

【請求項5】請求項4において、

前記耐熱性導電性材料は、タンタル（Ta）、チタン（Ti）、タングステン（W）から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物であり、

前記低抵抗導電性材料は、アルミニウム（Al）を成分とする材料であることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項3のいずれか一項において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、テレビであることを特徴とする半導体装置。

【請求項7】絶縁表面を有する基板上に、ゲート電極を形成する第1の工程と、

前記ゲート電極上にゲート絶縁層を形成する第2の工程と、

前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第3の工程と、

前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第4の工程と、

前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第5の工程と、

前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第6の工程と、

前記ソース配線及びドレイン配線の上に無機材料から成る第1の層間絶縁層を形成する第7の工程と、

前記第1の層間絶縁層上に有機材料から成る第2の層間絶縁層を形成する第8の工程と、

前記第2の層間絶縁膜上に画素電極を形成する第9の工程とを有することを特徴とする半導体装置の作製方法。

【請求項8】絶縁表面を有する基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第1層を形成する第1の工程と、

前記ゲート電極上にゲート絶縁層を形成する第2の工程と、

前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第3の工程と、

前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第4の工程と、

前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第5の工程と、

前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第6の工程と、
前記ソース配線及びドレイン配線上に無機材料から成る第1の層間絶縁層を形成する第7の工程と、
前記第1の層間絶縁層上に有機材料から成る第2の層間絶縁層を形成する第8の工程と、
前記第1の層間絶縁層及び第2の層間絶縁層と前記ゲート絶縁層を選択的に除去して、前記入力端子部の第1層を露呈させる第9の工程と、
前記第2の層間絶縁膜上に画素電極と、前記入力端子部の第2層を形成する第10の工程とを有することを特徴とする半導体装置の作製方法。

【請求項9】絶縁表面を有する基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第1層を形成する第1の工程と、
前記ゲート電極上にゲート絶縁層を形成する第2の工程と、
前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第3の工程と、
前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第4の工程と、
前記ゲート絶縁層を選択的に除去して、前記入力端子部の第1層を露呈させる第5の工程と、
前記ゲート絶縁層に接して画素電極と、前記入力端子部の第2層を形成する第6の工程と、
前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第7の工程と、
前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第8の工程と、
前記ソース配線及びドレイン配線上に無機材料から成る第1の層間絶縁層を形成する第9の工程とを有することを特徴とする半導体装置の作製方法。

【請求項10】請求項7乃至請求項9のいずれか一項において、
前記ゲート電極は、耐熱性導電性材料、または耐熱性導電性材料と低抵抗導電性材料とで形成することを特徴とする半導体装置。

【請求項11】請求項10において、
前記耐熱性導電性材料は、タンタル(Ta)、チタン(Ti)、タングステン(W)から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物で形成し、
前記低抵抗導電性材料は、アルミニウム(Al)を成分とする材料で形成することを特徴とする半導体装置。

【請求項12】請求項7乃至請求項12のいずれか一項において、
前記半導体装置は、パーソナルコンピュータ、ビデオカ

メラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスプレイ、電子遊技機器、テレビであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、半導体膜を利用した逆スタガ型若しくはボトムゲート型の薄膜トランジスタ(以下、TFTと略記する)構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、液晶表示装置に代表される電気光学装置、及びそのような電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇とする。

【0002】

【従来の技術】現在、ノート型のパーソナルコンピュータ(ノートパソコン)や携帯型情報端末において、画像や文字情報を表示するために液晶表示装置が利用されている。パッシブ型の液晶表示装置に比べアクティブマトリクス型の液晶表示装置は高精細な画像が得られることから、前記用途においては後者が好適に用いられている。アクティブマトリクス型の液晶表示装置は、画素部において能動素子であるTFTを個々の画素に対応してマトリクス状に配置して構成している。TFTには通常nチャネル型TFTが用いられ、スイッチング素子として液晶に印加する電圧を画素毎に制御して所望の画像表示を行っている。

【0003】逆スタガ型(若しくはボトムゲート型)のTFTは活性層を非晶質半導体膜用で形成するものがある。非晶質半導体材料は非晶質シリコン膜が好適に用いられている。非晶質シリコン膜は300℃以下の低温で大面積の基板上に形成可能であることから量産に適した材料と考えられている。しかし、非晶質シリコン膜で活性層を形成したTFTは、電界効果移動度が小さく1cm²/Vsec程度しか得られていない。そのために、画像表示を行うための駆動回路はLSIチップで形成され、TAB(tape automated bonding)方式やCOG(chip on glass)方式で実装されている。

【0004】このようなアクティブマトリクス型の液晶表示装置は、ノートパソコンのみならず20型クラスのTVシステムにまでその用途は広がり、画面サイズの大面積化と同時に画像品位の向上のために高精細化や高開口率化の要求がますます高まってきた。例えば、“The Development of Super-High Aperture Ratio with Low Electrically Resistive Material for High-Resolution TFT-LCDs”, S. Nakabu, et al., 1999 SID International Symposium Digest of Technical Papers, pp732-735)には画素密度がUXGA(1600×1200)で20型の液晶表示装置を作製する技術が報告されてい

る。

【0005】

【発明が解決しようとする課題】こうした製品を市場に供給し普及させるためには、生産性の向上及び低コスト化と、高信頼性を同時に推進することが課題となる。アクティブマトリクス型の液晶表示装置は、写真蝕刻（フォトリソグラフィ）技術により、複数のフォトマスクを使用してTFTを基板上に作製している。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いる。従って、フォトマスクを1枚使用することは、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなっている。

【0006】本発明はこのような課題を解決するための技術であり、アクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明の半導体装置は、基板上に非晶質構造を有する半導体層で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFT上に無機材料から成る第1の層間絶縁層と、第1の層間絶縁膜上に形成された有機材料から成る第2の層間絶縁層と、前記第2の層間絶縁層に接して形成された画素電極とを設け、前記基板の端部に沿って形成され、他の基板の配線と電気的に接続する入力端子部とを有し、該入力端子部は、ゲート電極と同じ材料から成る第1の層と、画素電極と同じ材料から成る第2の層とから形成されていることを特徴としている。このような構成とすることで、フォトリソグラフィ技術で使用するフォトマスクの数を5枚とすることができる。

【0008】また、他の発明の構成は、基板上に非晶質構造を有する半導体層で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFT上に無機材料から成る第1の層間絶縁層が設けられ、TFTのゲート電極上に形成された絶縁層に接して形成された画素電極と、前記基板の端部に沿って形成され、他の基板の配線と電気的に接続する入力端子部とを有し、該入力端子部は、ゲート電極と同じ材料から構成される第1の層と、画素電極と同じ材料から構成される第2の層とから形成されていることを特徴としている。

【0009】また、他の発明の構成は、絶縁表面を有す

る基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第1層を形成する第1の工程と、前記ゲート電極上にゲート絶縁層を形成する第2の工程と、前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第3の工程と、前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第4の工程と、前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第5の工程と、前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第6の工程と、前記ソース配線及びドレイン配線に無機材料から成る第1の層間絶縁層を形成する第7の工程と、前記第1の層間絶縁層上に有機材料から成る第2の層間絶縁層を形成する第8の工程と、前記第1の層間絶縁層及び第2の層間絶縁層と前記ゲート絶縁層を選択的に除去して、前記入力端子部の第1層を露呈させる第9の工程と、前記第2の層間絶縁膜上に画素電極と、前記入力端子部の第2層を形成する第10の工程とを有することを特徴としている。

【0010】また、他の発明の構成は、絶縁表面を有する基板上に、ゲート電極と、他の基板上の配線と電気的に接続する入力端子部の第1層を形成する第1の工程と、前記ゲート電極上にゲート絶縁層を形成する第2の工程と、前記ゲート絶縁層上に非晶質構造を有する半導体層を形成する第3の工程と、前記非晶質構造を有する半導体層上に一導電型の不純物を含有する半導体層を形成する第4の工程と、前記ゲート絶縁層を選択的に除去して、前記入力端子部の第1層を露呈させる第5の工程と、前記ゲート絶縁層に接して画素電極と、前記入力端子部の第2層を形成する第6の工程と、前記一導電型の不純物を含有する半導体層に接して、ソース配線及びドレイン配線を形成する第7の工程と、前記ソース配線及びドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層及び非晶質構造を有する半導体層の一部を除去する第8の工程と、前記ソース配線及びドレイン配線に無機材料から成る第1の層間絶縁層を形成する第9の工程とを有することを特徴としている。

【0011】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

【実施例1】本発明の実施例を図1～図2を用いて説明する。本実施例は液晶表示装置の作製方法を示し、基板上に画素部のTFTを逆スタガ型で形成し、該TFTに接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための入力端子部の作製工程を同時に示す。ここで、図1(A)、(B)および図2(A)、(B)において、(I)は上面図でありA-A'線に沿った断面図を(I

1)で示す。

【0012】図1(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、表面に酸化シリコン膜や窒化シリコン膜などを形成したステンレス基板やセラミック基板などを使用することもできる。

【0013】ゲート電極102およびゲート配線102'と保持容量配線103、入力端子部の端子104は、アルミニウム(A1)などの低抵抗導電性材料で形成することが望ましいが、A1単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。或いは、このような耐熱性導電性材料のみを組み合わせて形成しても良い。

【0014】このような材料の選択は、液晶表示装置の画面サイズに応じて適宜決定するものである。耐熱性導電性材料は面積抵抗で10Ω程度あり、画面サイズが5型程度までなら適応可能であるが、それ以上の画面サイズの液晶表示装置には必ずしも適していなかった。これは、ゲート電極に接続するゲート配線の基板上における引回し長さが必然的に大きくなると、配線遅延の問題を無視することができなくなる。例えば、画素密度がVGAの場合、480本のゲート配線と640本のソース配線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。ゲート配線の抵抗は、用いる材料の固有抵抗値の他に、配線の膜厚と幅で決定されるが、開口率との兼ね合いでおのずと限定があり、画素密度が高くなるに従って微細化が要求される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。その場合、液晶表示装置を実現するためには、ゲート配線をA1などの低抵抗導電性材料で形成することが本来望ましい。

【0015】従って、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせて形成する。この時の適した組み合わせを図8を用いて説明する。画面サイズが5型程度までなら図8(A)に示すように、耐熱性導電性材料の窒化物から成る導電層

(A)801と耐熱性導電性材料から成る導電層(B)802とを積層した構造とする。導電層(B)802はA1、Ta、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層(A)801は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜などで形成する。また、大画面に適應する

には図8(B)に示すように、耐熱性導電性材料の窒化物から成る導電層(A)803と低抵抗導電性材料から成る導電層(B)804と耐熱性導電性材料の窒化物から成る導電層(C)805とを積層させる。低抵抗導電性材料から成る導電層(B)804は、アルミニウム(A1)を成分とする材料で形成し、純A1の他に、0.01~5atomic%のスカンジウム(Sc)、Ti、シリコン(Si)等を含有するA1を使用する。導電層(C)805は導電層(B)804のA1にヒロックが発生するのを防ぐ効果がある。

【0016】図8(A)において、導電層(A)801は10~100nm(好ましくは20~50nm)とし、導電層(B)802は200~400nm(好ましくは250~350nm)とする。例えば、W膜をゲート電極として形成する場合には、Wをターゲットとしたスパッタ法で、Arガスと窒素(N₂)ガスを導入して、導電層(A)801をWN膜で50nmの厚さに形成し、導電層(B)802をW膜で250nmの厚さに形成する。しかし、W膜をゲート電極として使用するためには低抵抗化を図る必要があり、その抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成する。特に酸素濃度に関しては30ppm以下とすると良かった。例えば、Wは酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができる。

【0017】一方、図8(A)において導電層(A)801にTa₂N膜を、導電層(B)802にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta₂N膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて形成し、Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きであった。Ta₂N膜はα相に近い結晶構造を持つので、この上にTa膜を形成すればα相のTa膜が容易に得られた。いずれにしても、導電層(B)802は抵抗率を10~50μΩcmの範囲で形成することが好ましい。

【0018】図8(B)の構成とする場合には、導電層(A)803は10~100nm(好ましくは20~50nm)とし、導電層(B)804は200~400nm(好ましくは250~350nm)とし、導電層(C)805は10~100nm(好ましくは20~5

0 nm)とする。ここで、導電層(A)および導電層(C)は前述のように耐熱性導電性材料であるWN膜やTa₂N膜、またはTi膜、Ta膜、W膜などを適用する。導電層(B)804もスパッタ法で形成し、純Alの他に、0.01~5atomic%のSc、Ti、Si等を含有するAl膜で形成する。

【0019】ゲート電極102およびゲート配線102'と保持容量配線103、及び端子104は、上記導電層を基板全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して形成する。このとき少なくともゲート電極102の端部にテーパ部が形成されるようにエッチングする。

【0020】W膜やTa膜のような耐熱性導電性材料を高速でかつ精度良くエッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法が適している。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の面積化にも対応できる。例えば、W膜に対する具体的なエッチング条件として、エッチングガスにCF₄とCl₂の混合ガスを用いその流量をそれぞれ30SCCMとして、放電電力3.2W/cm²(13.56MHz)、基板バイアス電力224mW/cm²(13.56MHz)、圧力1.0Paでエッチングする。このようなエッチング条件によって、ゲート電極102の端部において、該端部から内側にむかって徐々に厚さが増加するテーパ部が形成され、その角度は1~20°、好ましくは5~15°とする。図9で示すように、ゲート電極102の端部におけるテーパ部の角度はθとして示す部分の角度である。尚、テーパ部の角度θは、テーパ部の長さ(WG)とテーパ部の厚さ(HG)を用いて $\tan(\theta) = HG/WG$ で表される。

【0021】こうして、ゲート電極102およびゲート配線102'と保持容量配線103、端子104を形成した後、絶縁膜を全面に形成してゲート絶縁層とする。ゲート絶縁層105はプラズマCVD法またはスパッタ法を用い、膜厚を50~200nmとして絶縁膜で形成する。例えば、150nmの厚さで酸化窒化シリコン膜から形成する。また、SiH₄とN₂OにO₂を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁層はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Orthosilicate: TEOS)とO₂とを混合し、

反応圧力40Pa、基板温度250~350℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後300~400℃の熱アニールによりゲート絶縁層として良好な特性を得ることができる。

【0022】次に、ゲート絶縁層上に50~200nm(好ましくは100~150nm)の厚さで非晶質構造を有する半導体層を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する(図示せず)。代表的には、プラズマCVD法で水素化非晶質シリコン(a-Si:H)膜を100nmの厚さに形成する。その他、この非晶質構造を有する半導体層には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。さらに、一導電型の不純物元素を含有する半導体層として、n型の半導体膜を20~80nmの厚さで形成する。例えば、n型のa-Si:H膜を形成すれば良く、そのためにシラン(SiH₄)に対して0.1~5%の濃度でフォスフィン(PH₃)を添加する。或いは、n型の半導体膜を水素化微結晶シリコン膜(μc-Si:H)で形成しても良い。

【0023】ゲート絶縁膜、非晶質構造を有する半導体層、一導電型の不純物元素を含有する半導体層はいずれも公知の方法で作製するものであり、プラズマCVD法やスパッタ法で作製することができる。そしてこれらの膜はプラズマCVD法であれば反応ガスを適宜切り替えることにより、またスパッタ法であればターゲット及びスパッタガスを適宜切り替えることにより連続して形成することができる。即ち、プラズマCVD装置或いはスパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。

【0024】そして、このように積層して形成された半導体層を、第2のフォトリソグラフィ工程を行い、パターンニング処理して、図1(B)に示すようにゲート電極102と一部が重なるように島状半導体層106を形成する。島状半導体層は、非晶質半導体層106aとn型の半導体層106bを有している。

【0025】そして、導電性の金属層をスパッタ法や真空蒸着法で形成し、第3のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって図2(A)に示すようにソース配線107、ドレイン配線108、保持容量配線109を形成する。図示していないが、本実施例ではこの配線を、Ti膜を50~150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成するn型の半導体膜と接触を形成し、そのTi膜上に重ねてアルミニウム(Al)を300~400nmの厚さで形成し、さらにその上にTi膜を100~150nmの厚さで形成する。

【0026】また、ソース配線に接続する入力端子部には、ゲート絶縁層上に該入力端子部に合わせて配線110を形成する。図2(A)ではこの様子を省略して示しているが、配線110はゲート絶縁層上を延在し、ソース配線と接続しているものである。

【0027】ソース配線107、ドレイン配線108をマスクとして、図2(A)の(II)に示すようにn型の半導体層106bと非晶質半導体層106aの一部をエッチングにより除去して島状半導体層に開孔111を形成する。この開孔111によってn型の半導体層106bはソース領域112とドレイン領域113に分離され、自己整合的に島状半導体層106にチャネル形成領域を形成する。

【0028】その後、図2(B)の(II)に示すように、非晶質構造を有する半導体層及びn型の半導体層上に、開孔部111を覆いチャネル形成領域の少なくとも一部に接する無機材料から成る第1の層間絶縁膜114を形成する。第1の層間絶縁膜114は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成する。この第1の層間絶縁膜114の膜厚は100~200nmとする。例えば、第1の層間絶縁膜114を酸化シリコン膜で形成する場合には、プラズマCVD法でTEOSとO₂とを混合し、反応圧力40Pa、基板温度200~300℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH₄、N₂O、NH₃から作製される酸化窒化シリコン膜、またはSiH₄、N₂Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20~200Pa、基板温度200~300℃とし、高周波(60MHz)電力密度0.1~1.0W/cm²で形成することができる。また、SiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH₄、NH₃から作製することが可能である。

【0029】さらに、第1の層間絶縁膜114上に形成された有機材料から成る第2の層間絶縁膜115を1.0~2.0μmの平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオーブンで200~300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオーブンで180~250℃で60分焼成して形成することができる。

【0030】このように、第2の層間絶縁膜114を有

機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜114として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0031】その後、第4のフォトリソグラフィ工程を行い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスにCF₄、O₂、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜115をまずエッチングし、その後、続いてエッチングガスをCF₄、O₂として第1の層間絶縁膜114をエッチングする。入力端子部においては、端子104と配線110の一部が露出するように第2の層間絶縁膜115と第1の層間絶縁膜114及びゲート絶縁層105の一部をエッチングする。

【0032】そして、透明導電膜をスパッタ法や真空蒸着法で50~200nmの厚さに成膜し、第5のフォトリソグラフィ工程を行い、図2(B)に示すように、画素電極118を形成する。画素電極118は、接続部116でドレイン配線108と接続し、接続部117で保持容量電極109と接続している。同時に端子104、配線110と少なくとも一部が接するように透明導電膜119を設ける。図2(B)の(II)において、B-B'断面を図中に示す矢印の方向に見た断面の詳細を図11(A)に示す。同図において、ゲート電極104は導電層(A)130と導電層(B)131から成り、透明導電膜119は導電層(A)130と導電層(B)131の少なくとも一部と接するように形成する。また、図2(B)の(II)において、C-C'断面を図中に示す矢印の方向に見た断面の詳細を図11(B)に示す。配線110はTi膜132、Al膜133、Ti膜134の3層構造であり、透明導電膜119はこれらの膜と少なくとも一部が接するように形成する。このようにして端子104と配線110とを電氣的に接続する。しかし、ゲート配線に接続する入力端子部では配線110を設ける必要はなく、端子104と少なくとも一部で接するように透明導電膜119を設ける構成とする。

【0033】透明導電膜の材料は、酸化インジウム(In₂O₃)や酸化インジウム酸化スズ合金(In₂O₃-SnO₂、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In₂O₃-ZnO)を用いても良い。酸化インジウム酸化

13

亜鉛合金は表面平滑性に優れ、ITOと比較して熱安定性にも優れているので、端子104をA1膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛(ZnO:Ga)などを用いることができる。

【0034】こうして5回のフォトリソグラフィ工程により、5枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFT120、保持容量121を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0035】図10はアクティブマトリクス基板の画素部と入力端子部の配置を説明する図である。基板901上には画素部902が設けられ、画素部にはゲート配線908とソース配線907が交差して形成され、これに接続するnチャネル型TFT910が各画素に対応して設けられている。nチャネル型TFT910のドレイン側には保持容量911が接続し、保持容量911のもう一方の端子は保持容量配線909に接続している。nチャネル型TFT910と保持容量911の構造は図2

(B)で示すnチャネル型TFT120と保持容量121と同じものとする。

【0036】基板の一方の端部には、走査信号を入力する入力端子部905が形成され、接続配線906によってゲート配線908に接続している。また、他の端部には画像信号を入力する入力端子部903が形成され、接続配線904によってソース配線907に接続している。ゲート配線908、ソース配線907、保持容量配線909は画素密度に応じて複数本設けられるものであり、その本数は前述の如くである。また、画像信号を入力する入力端子部912と接続配線913を設け、入力端子部903と交互にソース配線と接続させても良い。入力端子部903、905、912はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0037】[実施例2] 本実施例を図3~4を用い、実施例1とは異なる構造で基板上に画素部のTFTを逆スタガ型で形成し、該TFTに接続する保持容量を作製する方法について説明する。また同様に、図3(A)、(B)および図4(A)、(B)において、(I)は上面図でありA-A'線に沿った断面図を(II)で示す。本実施例で作製するアクティブマトリクス基板は透過型の液晶表示装置に対応するものであり、以下実施例1との相違点を中心に説明する。

【0038】図3(A)において、基板201にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケ

14

イ酸ガラスなどのガラス基板を用いる。その他に、表面に酸化シリコン膜や窒化シリコン膜などを形成したステンレス基板やセラミック基板などを使用することもできる。

【0039】ゲート電極202およびゲート配線202'と保持容量配線203、入力端子部の端子204は、実施例1と同様にしてA1等の低抵抗配線材料と耐熱性導電性材料と組み合わせて形成する。或いは、このような耐熱性導電性材料のみを組み合わせて形成する。例えば、WN膜とW膜の積層構造とする。そして、そのような構造の導電層を基板全面に形成した後、第1のフォトリソグラフィ工程を行いレジストマスクを形成し、エッチングにより不要な部分を除去して形成する。このとき少なくともゲート電極202の端部にテーパー部が形成されるようにエッチングする。

【0040】ゲート絶縁層205はプラズマCVD法またはスパッタ法などで酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、酸化タンタル膜などを50~200nmの厚さで形成する。その後続いてゲート絶縁層205上に50~200nm(好ましくは100~150nm)の厚さで非晶質構造を有する半導体層を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する(図示せず)。代表的には、プラズマCVD法で水素化非晶質シリコン(a-Si:H)膜で形成する。さらに、一導電型の不純物元素を含有する半導体層として、n型の半導体膜を20~80nmの厚さで形成する。例えば、n型のa-Si:H膜を形成する。

【0041】そして、このように積層して形成された半導体層を、第2のフォトリソグラフィ工程を行い、図2(B)に示すようにゲート電極202と一部が重なるように島状半導体層206を形成する。島状半導体層は、非晶質半導体層206aとn型の半導体層206bを有している。

【0042】次に、図4(A)の(II)において示すように、第3のフォトリソグラフィ工程を行い、端子204上に形成されているゲート絶縁膜の一部をエッチング除去して開孔217を形成する。そして、透明導電膜をスパッタ法や真空蒸着法、スプレー法等で50~200nmの厚さに成膜し、第4のフォトリソグラフィ工程により画素電極207及び、端子217上に透明導電膜208を設ける。

【0043】そして、実施例1と同様に導電層をスパッタ法や真空蒸着法で形成し、第5のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって図4(A)に示すようにソース配線209、ドレイン配線210を形成する。ドレイン配線210は画素電極207と端部で重なるように形成し、その部分で電氣的に接続させる。また、ソース配線と入力端子部との接続は、ゲート絶縁膜に延在するソース配線の端部211を透明導電膜208と重なるように形成し、

端子204と電氣的に接続させる。

【0044】ソース配線209、ドレイン配線210をマスクとして、図4(B)の(II)に示すようにn型の半導体層206bと非晶質半導体層206aの一部をエッチングにより除去して島状半導体層に開孔212を形成する。この開孔212によってn型の半導体層206bはソース領域213とドレイン領域214に分離され、自己整合的に島状半導体層206にチャネル形成領域を形成する。

【0045】その後、図4(B)の(II)に示すように、非晶質構造を有する半導体層及びn型の半導体層上に、開孔部212を覆いチャネル形成領域の少なくとも一部に接する無機材料から成る第1の層間絶縁層215を形成する。第1の層間絶縁層215は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成する。この第1の層間絶縁層215の膜厚は100~200nmとする。そして、第6のフォトリソグラフィ工程により、画素電極207上と入力端子部の透明導電膜208上の第1の層間絶縁層215を除去する。

【0046】こうして6回のフォトリソグラフィ工程により、6枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFT220、保持容量221を完成させることができる。本実施例で作製したアクティブマトリクス基板において、画素部と入力端子部の配置は図10で示したように実施例1と同様なものとする。

【0047】[実施例3] 実施例2では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法を示したが、本実施例では反射型の液晶表示装置に対応する例について示す。

【0048】まず、実施例2と同様にして、図3(B)に示す工程までを行う。そして、図5の(II)に示すように、第3のフォトリソグラフィ工程を行い、端子204上に設けられているゲート絶縁膜の一部をエッチング除去して開孔230を形成する。そして、実施例1と同様に導電層をスパッタ法や真空蒸着法で形成し、第4のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって図5に示すようにソース配線231、ドレイン配線232を形成する。ドレイン配線232は画素電極を兼ねるものであり、保持容量配線203と重なるように形成する。また、ソース配線と入力端子部との接続は、開孔230において端子204と電氣的に接続させる。

【0049】その後、実施例2と同様に、無機材料から成る第1の層間絶縁層234を形成する。そして、第5のフォトリソグラフィ工程により、画素電極と入力端子部上の第1の層間絶縁層234を除去する。こうして5回のフォトリソグラフィ工程により、5枚のフォトマスクを使用して反射型の液晶表示装置に対応したアクティブマトリクス基板を作製することができる。

【0050】[実施例4] 本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図6に示すように、図2(B)の状態のアクティブマトリクス基板に対し、配向膜600を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。

【0051】対向側の対向基板601には、遮光膜602、カラーフィルター603、平坦化膜604、透明導電膜605、配向膜606が形成されている。遮光膜602はTi、Al、クロム(Cr)等で形成し、アクティブマトリクス基板のTFTの配置に合わせてパターン形成する。カラーフィルター603は赤、緑、青のフィルターを各画素に対応して設ける。平坦化膜604は有機樹脂膜で形成し、実施例1で使用した第2の層間絶縁膜と同じ材料を用いれば良い。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。

【0052】そして、画素部が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってスペーサ609を内包するシール剤608によりスペーサ607を介して貼りあわせる。こうして、液晶注入領域610が形成される。液晶材料は公知のものを適用すれば良く代表的にはTN液晶を用いる。液晶材料を注入した後、注入口は樹脂材料で封止する。そして透過型の液晶表示装置とする場合には偏光版611、612を貼りつけて図6に示すアクティブマトリクス型液晶表示装置が完成させる。反射型の液晶表示装置とする場合には、偏光版612を省略して、対向基板601側のみに偏光版611を設ける。

【0053】本実施例では、実施例1で作製したアクティブマトリクス基板を基にアクティブマトリクス型液晶表示装置を作製する方法を示したが、実施例2または実施例3で示したアクティブマトリクス基板を用いても同様な方法により作製することができる。

【0054】[実施例5] 本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍など)、テレビなどが上げられる。

【0055】図12(A)はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本発明は表示装置2003に適用することができる。

【0056】図12(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操

作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明は表示装置2102に適用することができる。

【0057】図12(C)は携帯情報端末であり、本体2201、画像入力部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205に適用することができる。

【0058】図12(C)はテレビゲームまたはビデオゲームなどの電子遊技機器であり、CPU等の電子回路2308、記録媒体2304などが搭載された本体2301、コントローラ2305、表示装置2303、スピーカ2307、本体2301に組み込まれた表示装置2302で構成される。表示装置2303と本体2301に組み込まれた表示装置2302とは、同じ情報を表示しても良いし、前者を主表示装置とし、後者を副表示装置として記録媒体2304の情報を表示したり、機器の動作状態を表示したり、或いはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体2301とコントローラ2305と表示装置2303とは、相互に信号を伝達するために有線通信としても良いし、センサ部2306、2307を設けて無線通信または光通信としても良い。本発明は、表示装置2302、2303に適用することができる。表示装置2303は画面サイズを30型程度まで大型化することができ、図示していないチューナーと組み合わせてテレビとして使用することもできる。

【0059】図12(D)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示装置2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。尚、記録媒体にはDVD(Digital Versatile Disc)やコンパクトディスク(CD)などを用い、音楽プログラムの再生や映像表示、ビデオゲーム(またはテレビゲーム)やインターネットを介した情報表示などを行うことができる。本発明は表示装置2402やその他の信号制御回路に好適に利用することができる。

【0060】図12(E)はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0061】図7はこのような電気光学装置に搭載する液晶表示装置の実装方法の一例を示す。液晶表示装置は、TFTが作製された基板701の端部には、入力端子部702が形成されこれは実施例1で示したようにゲート配線と同じ材料で形成される端子703aと透明導電膜703bで形成される。そして対向基板704とスペーサ706を内包するシール剤705により張合わされ、さらに偏光版707、708が設けられている。そして、スペーサ722によって筐体721に固定され

る。

【0062】駆動回路はLSIチップ713に形成されTAB方式で実装する。これにはフレキシブルプリント配線板(Flexible Printed Circuit:FPC)が用いられ、FPCはポリイミドなどの有機樹脂フィルム709に銅配線710が形成されていて、異方性導電性接着剤で入力端子702と接続する。異方性導電性接着剤は接着剤711と、その中に混入され金などがメッキされた数十〜数百 μ m径の導電性表面を有する粒子712により構成され、この粒子712が入力端子702と銅配線710とに接触することによりこの部分で電気的な接触が形成される。そしてこの部分の機械的強度を高めるために樹脂層718が設けられている。

【0063】LSIチップ713はバンプ714で銅配線710に接続し、樹脂材料715で封止されている。そして銅配線710は接続端子716でその他の信号処理回路、増幅回路、電源回路などが形成されたプリント基板717に接続されている。そして、透過型の液晶表示装置では対向基板704に光源719と光導光体720が設けられてバックライトとして使用される。

【0064】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムや携帯型テレビなどに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。このような本実施例の電子機器は実施例1〜4の技術を用いて実現することができる。

【図面の簡単な説明】

【図1】画素TFTおよび入力端子部の作製工程を示す上面図と断面図。

【図2】画素TFTおよび入力端子部の作製工程を示す上面図と断面図。

【図3】画素TFTおよび入力端子部の作製工程を示す上面図と断面図。

【図4】画素TFTおよび入力端子部の作製工程を示す上面図と断面図。

【図5】画素TFTおよび入力端子部の作製工程を示す上面図と断面図。

【図6】液晶表示装置の構造を示す断面図。

【図7】液晶表示装置の実装構造を示す断面図。

【図8】ゲート電極の構造を説明する断面図。

【図9】ゲート電極の端部におけるテーパー構造を説明する図。

【図10】液晶表示装置の画素部と入力端子部の配置を説明する上面図。

【図11】入力端子部の構造を説明する断面図。

【図12】半導体装置の一例を示す図。

【符号の説明】

101、201 基板

102、202 ゲート電極

19

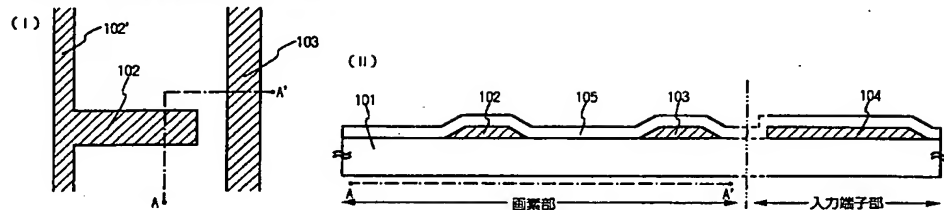
102'、202' ゲート配線
 103、203 保持容量配線
 104、204 端子
 105、205 ゲート絶縁膜
 106、206 島状半導体層
 107、209 ソース配線

20

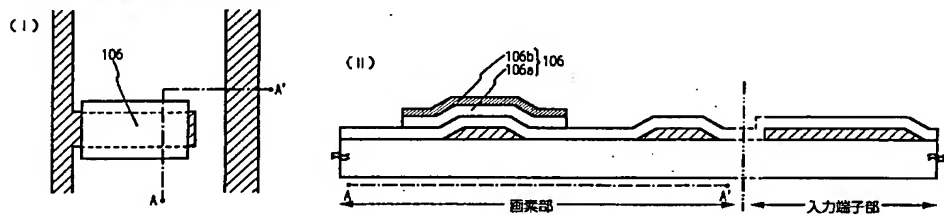
108、210 ドレイン配線
 114、215 第1の層間絶縁膜
 115 第2の層間絶縁膜
 118、207 画素電極

【図1】

(A) ゲート形成/容量配線形成/ゲート絶縁膜形成

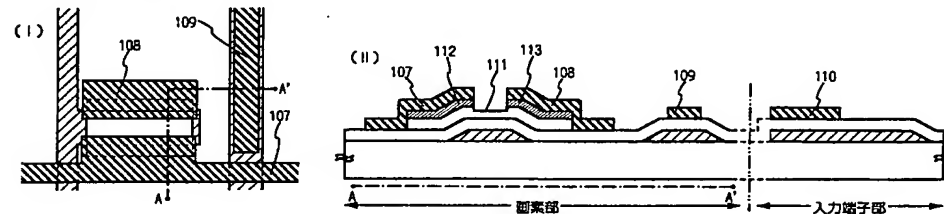


(B) 島状半導体層 (n+型a-Si/l型a-Si) 形成

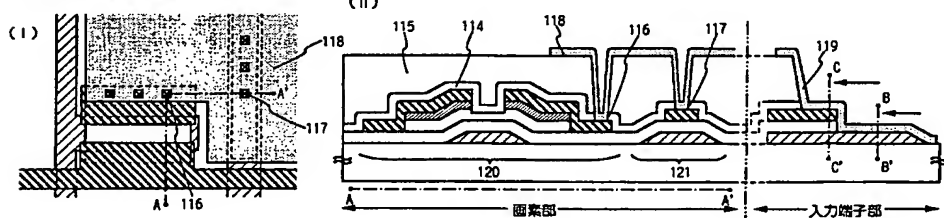


【図2】

(A) ソース及びドレイン形成

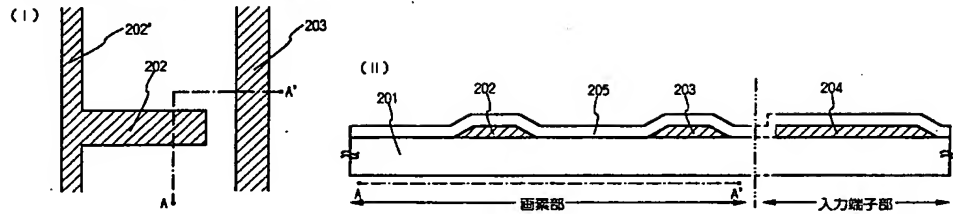


(B) 層間絶縁膜形成/画素電極形成

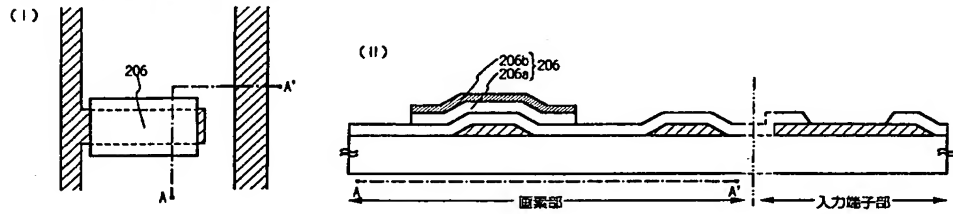


【図3】

(A) ゲート形成/容量配線形成/ゲート絶縁膜形成

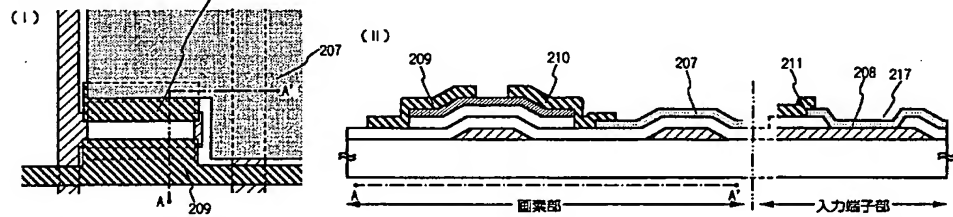


(B) 島状半導体層(n+型a-Si/1型a-Si)形成

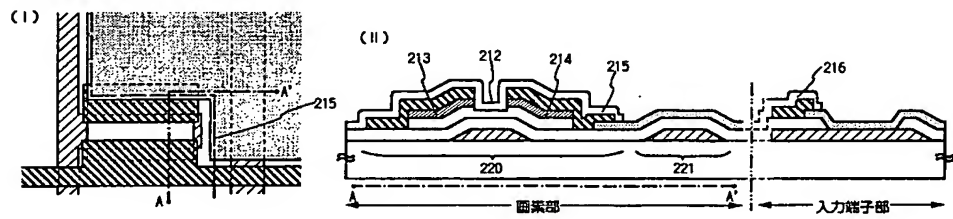


【図4】

(A) ソース及びドレイン形成

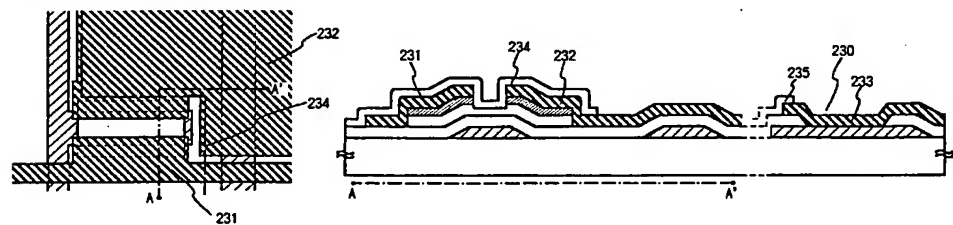


(B) 層間絶縁膜形成/画素電極形成

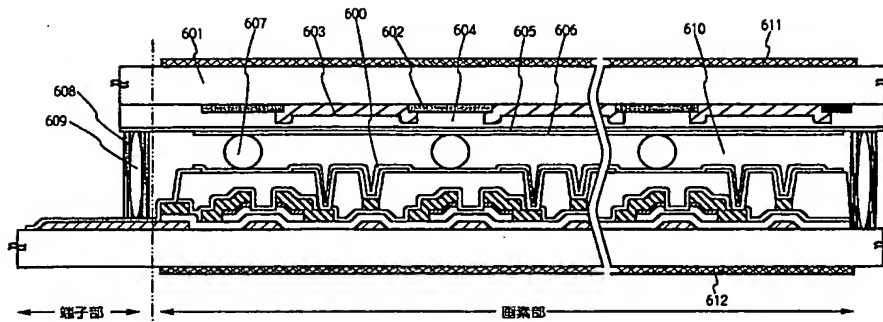


【図5】

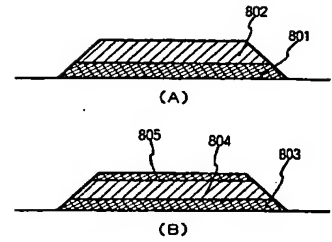
層間絶縁膜形成/画素電極形成



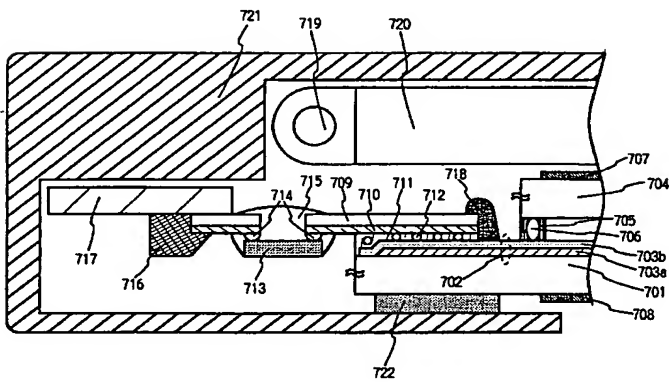
【図6】



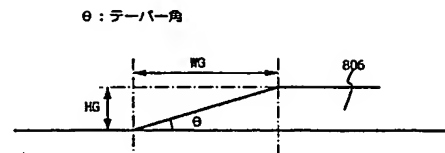
【図8】



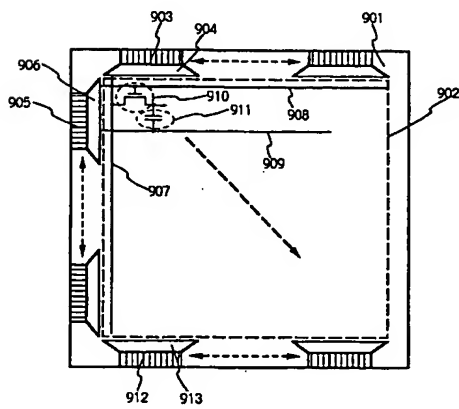
【図7】



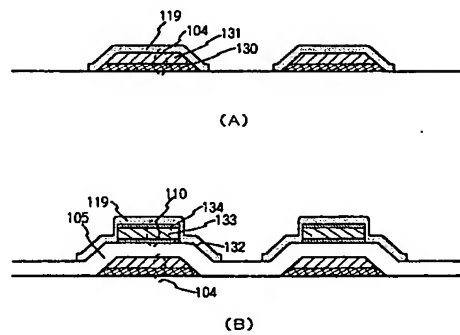
【図9】



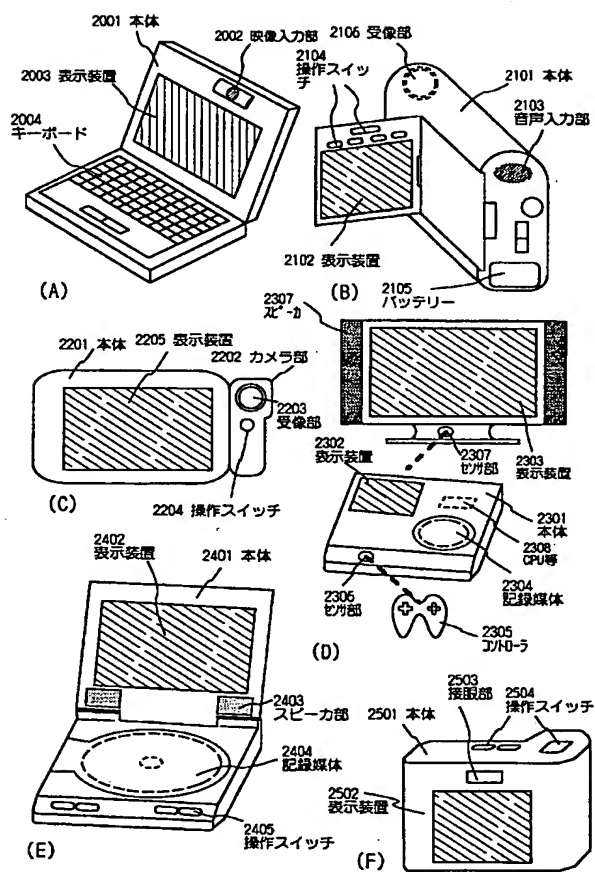
【図10】



【図11】



【図12】



フロントページの続き

F ターム(参考) 2H092 JA26 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB33 JB38
JB51 JB57 JB63 JB69 KA16
KA18 KB14 MA05 MA08 MA14
MA15 MA16 MA18 MA19 MA20
MA23 MA27 MA35 MA37 MA41
NA25 NA29 PA03 PA05 PA06
QA07 RA05
5F110 AA16 AA26 BB02 CC07 DD02
DD13 DD14 EE01 EE03 EE04
EE06 EE11 EE14 EE15 EE23
EE44 FF01 FF02 FF03 FF04
FF28 FF29 FF36 GG02 GG04
GG15 GG43 GG45 HJ01 HJ17
HK03 HK04 HK22 HL07 HL23
HL24 NN03 NN23 NN24 NN27
NN35 NN36 NN46 NN47 NN73
QQ04 QQ09